

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

THIS PAGE BLANK (USPTO)

DIALOG(R)File 351:Derwent WPI
(c) 2004 Thomson Derwent. All rts. reserv.

013255732 **Image available**
WPI Acc No: 2000-427615/ 200037
XRAM Acc No: C00-129870
XRPX Acc No: N00-319240

Semiconductor substrate etching method for integrated circuit manufacturing involves maintaining pressure in low pressure condition.
Patent Assignee: CANON KK (CANO)
Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2000150837	A	20000530	JP 98323536	A	19981113	200037 B

Priority Applications (No Type Date): JP 98323536 A 19981113

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 2000150837	A	10		H01L-027/12	

Abstract (Basic): JP 2000150837 A

NOVELTY - A substrate (405) is laminated on the main surface side of substrate (401) provided with a porous layer (402). The porous layer is soaked in etching liquid and is removed to obtain a non-porous layer. The gas contacting the etching liquid is maintained in low pressure condition.

USE - For etching semiconductor substrate for integrated circuit.

ADVANTAGE - Etching velocity is maintained to provide uniform etching thus improving yield.

DESCRIPTION OF DRAWING(S) - The figure shows the model sectional view of semiconductor substrate production method.

THIS PAGE BLANK (USPTO)

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 2000-150837

(43) Date of publication of application : 30.05.2000

(51) Int. CI. H01L 27/12

H01L 21/306

H01L 21/308

(21) Application number : 10-323536 (71) Applicant : CANON INC

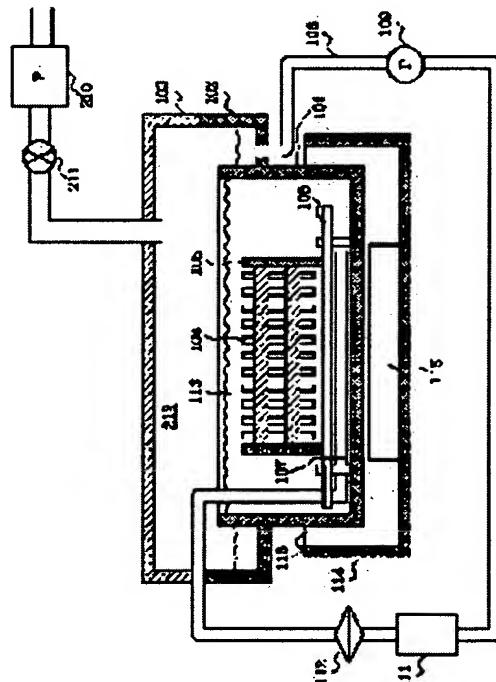
(22) Date of filing : 13.11.1998 (72) Inventor : SAKAGUCHI KIYOBUMI
ISAJI HIROSHI

(54) PRODUCTION OF SEMICONDUCTOR SUBSTRATE

(57) Abstract:

PROBLEM TO BE SOLVED: To achieve etching efficiency and equalization by etching a porous layer while sustaining a gas touching an etching liquid in a pressure reduced state.

SOLUTION: An etching processing tank 101 is filled with etching liquid 113 and a basic body having a porous material at least on the surface thereof, i.e., an Si wafer 104 having an exposed porous layer, is placed therein and etched. An overflow tank 102 is preferably provided on four sides of the etching processing tank 101. An enclosing cover 103 isolates the inside of the tank 101 from the atmosphere on the outside. A pressure reducing means having a valve 211 and a vacuum pump 210 is disposed above the cover 103 through an exhaust pipe such that the gas 212 in the upper space touching the etching liquid 113 is exhausted when the vacuum pump 210 is operated and the valve 211 is opened thus sustaining the pressure of the basic body lower than the atmospheric pressure. In other words, pressure in the upper space can be sustained lower than atmospheric pressure.



LEGAL STATUS

THIS PAGE BLANK (USPTO)

[Date of request for examination]
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

Copyright (C); 1998, 2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-150837

(P2000-150837A)

(43)公開日 平成12年5月30日 (2000.5.30)

(51)Int.Cl.⁷

H 01 L 27/12
21/306
21/308

識別記号

F I

マーク〇⁷ (参考)

H 01 L 27/12
21/308
21/306

B 5 F 0 4 3
B
G

審査請求 未請求 請求項の数36 OL (全 10 頁)

(21)出願番号

特願平10-323536

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(22)出願日 平成10年11月13日 (1998.11.13)

(72)発明者 坂口 清文

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(72)発明者 伊佐治 弘

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(74)代理人 100069877

弁理士 丸島 儀一

F ターム(参考) 5P043 AA18 BB12 BB28 DD05 DD30

EE03 EE04 EE05 EE09 EE22

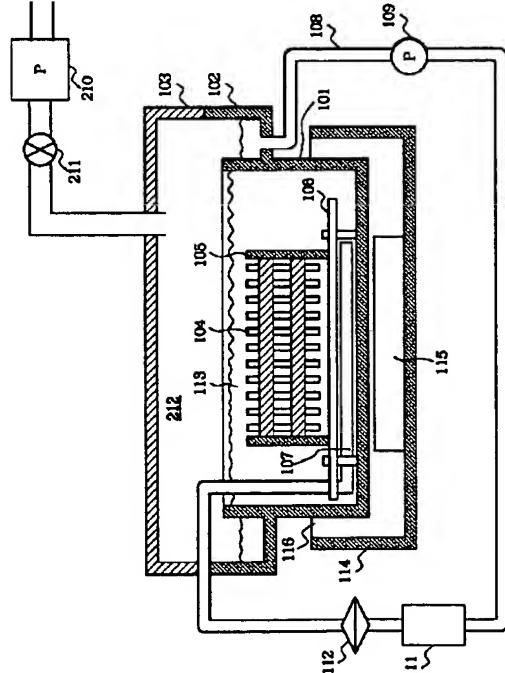
EE24 EE37

(54)【発明の名称】 半導体基体の作製方法

(57)【要約】

【課題】 エッチング速度を低下させることなく、且つ均一性を低下させることなく、多孔質体をエッチングし、半導体基体の製造スループット、歩留まりを上げる。

【解決手段】 エッチング液に接する気体を減圧状態に維持しながら、表出させた多孔質体をエッチングすることにより、多孔質体に付着した気泡は体積膨張し速やかに脱離する為、高いエッチング速度で均一な処理ができる。そして、多孔質層は除去され新鮮な非多孔質の層表面が得られる。



THIS PAGE BLANK (USPTO)

【特許請求の範囲】

【請求項1】 多孔質層をエッティングする工程を含む半導体基体の作製方法において、

主面側に多孔質層、及びその上に非多孔質層を有する第1の基体を用意する工程、

前記第1の基体の主面側と第2の基体とを貼り合せる工程、

表出させた前記多孔質層をエッティング液中に浸して、該エッティング液に接する気体を減圧状態に維持しながら前記多孔質層をエッティングして除去する工程、を含むことを特徴とする半導体基体の作製方法。

【請求項2】 前記エッティング液及び貼り合わせ基体を密閉可能な槽内に収容し、前記槽内を排気することを特徴とする請求項1に記載の半導体基体の作製方法。

【請求項3】 前記エッティングは、波動エネルギーを印加しながら行うことを特徴とする請求項1に記載の半導体基体の作製方法。

【請求項4】 前記波動エネルギーの印加は超音波の印加により行うことを特徴とする請求項3に記載の半導体基体の作製方法。

【請求項5】 前記エッティング液の温度の揺らぎを±0.5°C以内に制御することを特徴とする請求項1に記載の半導体基体の作製方法。

【請求項6】 前記エッティング液はふつ酸系反応液であることを特徴とする請求項1に記載の半導体基体の作製方法。

【請求項7】 前記エッティング液中に界面活性剤を添加することを特徴とする請求項1に記載の半導体基体の作製方法。

【請求項8】 前記エッティング液は、ふつ酸と過酸化水素水との混合液であることを特徴とする請求項6に記載の半導体基体の作製方法。

【請求項9】 前記エッティング液は、ふつ酸と界面活性剤との混合液であることを特徴とする請求項6に記載の半導体基体の作製方法。

【請求項10】 前記エッティング液は、ふつ酸と過酸化水素水と界面活性剤との混合液であることを特徴とする請求項6に記載の半導体基体の作製方法。

【請求項11】 前記界面活性剤は、メタノール、エタノール、イソプロパノールのいずれかであることを特徴とする請求項7に記載の半導体基体の作製方法。

【請求項12】 前記エッティング液中に、緩衝剤を添加することを特徴とする請求項1に記載の半導体基体の作製方法。

【請求項13】 前記緩衝剤は、弗化アンモニウムであることを特徴とする請求項12に記載の半導体基体の作製方法。

【請求項14】 前記第1の基体は、単結晶Siであることを特徴とする請求項1に記載の半導体基体の作製方法。

【請求項15】 前記多孔質層は、陽極化成により形成されることを特徴とする請求項1に記載の半導体基体の作製方法。

【請求項16】 前記非多孔質層は、単結晶Si層であることを特徴とする請求項1に記載の半導体基体の作製方法。

【請求項17】 前記非多孔質層は、表面に酸化膜が形成された単結晶Si層であることを特徴とする請求項1に記載の半導体基体の作製方法。

【請求項18】 前記非多孔質層は、エピタキシャル成長により形成された単結晶層であることを特徴とする請求項1に記載の半導体基体の作製方法。

【請求項19】 前記多孔質層は、希ガス、窒素、水素をイオン注入することによって、第1の基体内部に形成されることを特徴とする請求項1に記載の半導体基体の作製方法。

【請求項20】 前記イオン注入の前又は後に、前記第1の基体の主面側に単結晶層をエピタキシャル成長させ、その表面に酸化膜を形成する工程を含むことを特徴とする請求項19に記載の半導体基体の作製方法。

【請求項21】 前記第2の基体は、単結晶Siであることを特徴とする請求項1に記載の半導体基体の作製方法。

【請求項22】 前記第2の基体は、少なくとも貼り合わせる面に絶縁層が形成された基体であることを特徴とする請求項1に記載の半導体基体の作製方法。

【請求項23】 前記第2の基体は、光透過性基体であることを特徴とする請求項1に記載の半導体基体の作製方法。

【請求項24】 前記貼り合わせ工程は、前記第1の基体と第2の基体とを密着させることを特徴とする請求項1に記載の半導体基体の作製方法。

【請求項25】 前記貼り合わせ工程は、さらに、熱処理、陽極接合、加圧のうちの少なくとも1つによって、貼り合わせ強度を高める過程を含むことを特徴とする請求項24に記載の半導体基体の作製方法。

【請求項26】 前記多孔質層のエッティング除去後に表面平坦化工程を行うことを特徴とする請求項1に記載の半導体基体の作製方法。

【請求項27】 前記表面平坦化は、研磨である請求項26に記載の半導体基体の作製方法。

【請求項28】 前記表面平坦化は、水素を含む還元性雰囲気中での熱処理によりなされる請求項26に記載の半導体基体の作製方法。

【請求項29】 前記第1の基体の裏面側を研削、研磨、エッティングの少なくともいずれか1つの方法で除去し、前記多孔質層を表出させることを特徴とする請求項1に記載の半導体基体の作製方法。

【請求項30】 前記多孔質層中、あるいは前記多孔質層と前記非多孔質層との界面、あるいは前記多孔質層と

THIS PAGE BLANK (USPTO)

前記第1の基体の裏面側部分との界面において分離することによって前記多孔質を表出させることを特徴とする請求項1に記載の半導体基体の作製方法。

【請求項31】 前記分離方法は、加圧、引っ張り、せん断、楔挿入、多孔質層エッジ部の酸化、波動エネルギー印加、加熱、流体の吹き付けの、いずれか、あるいはその組み合せにより行なわれることを特徴とする請求項30に記載の半導体基体の作製方法。

【請求項32】 前記分離した第1の基体を、再利用する為に表面処理することを特徴とする請求項33に記載の半導体基体の作製方法。

【請求項33】 前記表面処理は、少なくとも表面平滑化を含む工程であることを特徴とする請求項32に記載の半導体基体の作製方法。

【請求項34】 前記表面処理は、化学エッティング及び／又は研磨工程を含むことを特徴とする請求項32に記載の半導体基体の作製方法。

【請求項35】 前記表面処理は、水素を含む雰囲気中の熱処理工程を含むことを特徴とする請求項32に記載の半導体基体の作製方法。

【請求項36】 請求項1～36のいずれかに記載の方法で作製された半導体基体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電子デバイス、半導体集積回路に適する半導体基板体の作製方法に関するものである。

【0002】

【従来の技術】多孔質層を利用して、SOI基板（セミコンダクターオンインシレータ）等の各種構造体を作成する方法が提案されている。具体的には、特開平6-342784号公報に多孔質Si層上にエピタキシャル層を形成して、これを他の基板に貼り合せ、多孔質Siを除去することで、他の基板上にエピタキシャル層を移設する半導体基材の作成方法において、多孔質Siを除去するために、多孔質Siを研削により表出させてから多孔質Si層を選択的にエッティングすることが提案されている。

【0003】そして、主として、多孔質Siのエッティングは、特開平6-342784号公報に記されているように多孔質を溶液に浸すことによってエッティングが行われていた。

【0004】

【発明が解決しようとする課題】溶液中の化学反応において、化学反応の高効率化、高速化、均一化を阻害する現象として、反応生成物がある。反応に寄与する物質以外の物質が、その目的の反応によって生成されると、その反応生成物によって化学反応が阻害される。特に、エッティング工程での反応生成气体の場合、厄介なものとなる。すなわち、反応气体がエッティングされる多孔質体の

孔の表面で生成されると、その気体が多孔質体の内外表面に付着してしまいエッティングを阻害して、エッティングの均一性が劣化してしまう。

【0005】反応气体の長時間に亘る付着を防止するには、例えば上記特開平6-342784号公報に記載されているように、エッティング液に界面活性剤としてアルコールを添加したり、エッティング液を攪拌したりしていた。

【0006】しかし、界面活性剤を添加するとエッティング速度が低下したり、攪拌すると均一性が低下することが判明した。

【0007】

【課題を解決するための手段】本発明は、多孔質層をエッティングする工程を含む半導体基体の作製方法において、主面側に多孔質層、及びその上に非多孔質層を有する第1の基体を用意する工程、前記第1の基体の主面側と第2の基体とを貼り合せる工程、表出させた前記多孔質層をエッティング液中に浸して、該エッティング液に接する気体を減圧状態に維持しながら、前記多孔質層をエッティングして除去する工程、を含むことを特徴とする。

【0008】エッティング液に接する気体を減圧状態に維持しながら前記エッティングを行えば気体がエッティング液の液面を押す圧力が減少する。すると、エッティング液中に発生した気泡に加わる圧力が減少することになり、気泡は体積膨張し易くなる。

【0009】多孔質体に付着している気泡は、所定の体積より大きくなると多孔質体から脱離する。よって、気泡の膨張速度が速くなると脱離するに十分な体積に直ちに到達し、多孔質体から脱離始める。

【0010】こうしてエッティング速度を抑制することなく、均一なエッティングが進行し、半導体基体の製造スループット、製造歩留まりを向上させ半導体基体を安価にて提供できるようになる。

【0011】エッティング液に浸した直後の多孔質体の孔の内部は、エッティング前はほぼ大気圧と考えられるので、孔内に存在していた空気も膨張して孔内から出て行く。これにより孔内の空気はエッティング液と置換される。この置換の速さは減圧しない場合に比べて、約1.5倍～2.0倍である。従って、初期のエッティング速度が高くなる。

【0012】多孔質体のエッティング速度は、主として上記置換速度（孔内へのエッティング液の侵入速度）と孔内壁のエッティングレートとに大きく依存する。よって、置換速度が1.5～2.0倍に向上すれば、除去すべき多孔質体のエッティング速度は約1.2倍～1.5倍になる。

【0013】

【発明の実施の形態】図1に本発明に用いられる多孔質体のエッティング装置の構成図を示す。図1に示すように、エッティング処理槽101には、エッティング液113

THIS PAGE BLANK (USPTO)

が満たされ、この中に少なくともその表面に多孔質層を有する基体（被処理体）、ここでは多孔質Siの表出したSiウエハ104を入れて多孔質Siのエッチングを行う。エッチング処理槽101の4辺にはオーバーフロー槽102を設けることが好ましい。

【0014】また、エッチング処理槽101内は密閉式のふた103で外部の大気から隔離されている。ここには図示しないが、もちろんウエハ104やあるいはウエハ保持具105を取出す際には、密閉のふた103は開くことができる。ウエハ保持具105と循環供給口107とは整流板106で大まかに分離されており、供給されるエッチング液113は、整流板106を通して、ウエハ104に供給される。整流板106は多数のウエハ104に均一にエッチング液113が供給される様に、整流孔が設けられている。

【0015】エッチング液113は、エッチング槽101からオーバーフローしてオーバーフロー槽102に流れで、そこから循環用ポンプ109で循環ライン108を通って再度供給される。循環ライン108の途中には、エッチング液の温度調整用の冷熱器111があり、エッチング液温は例えば±0.5°Cのほぼ一定に保たれ、エッチングの均一性を高める。

【0016】更に、薬液用フィルター112によりエッチング液内のパーティクルを有效地に除去する。

【0017】エッチング処理槽101は超音波槽114内に配置されており、超音波槽114内の超音波振動子115からの超音波エネルギーを超音波槽114内の伝達媒体116（通常は水）を通じてエッチング処理槽101からエッチング液113、このエッチング液からウエハ104へと伝達される。ここには示さないが、超音波槽114内の伝達媒体116（通常は水）を脱気しておくと超音波の伝達効率が向上する。

【0018】又、ウエハ104を回転あるいは揺動させる機構を配していると、ウエハ面内、ウエハ間へのエッチング液の供給が均一化されることになる。

【0019】密閉式のふた103の上部には排気管を通じてバルブ211と真空ポンプ210とを有する減圧手段が設けられており、真空ポンプ210を動かし、バルブ211を開くことにより、エッチング液113に接する上部空間内の気体212が排気され、基体の圧力を大気圧より低い減圧状態に維持できる。即ち、上部空間の圧力を大気圧より低くできる。

【0020】この時の圧力の上限は、好ましくは10⁵Pa以下、より好ましくは、10⁴Pa以下であり、圧力の下限は好ましくは100Pa以上である。

【0021】図1の装置では、大気圧と容器内212の圧力の差によりふた103や槽101、102が変形しないような材料及び厚みの部材で壁や底を形成することが望ましい。

【0022】図2は本発明に用いられる別の実施の形態

によるエッチング装置を示す。

【0023】図1の装置と異なる点は、密閉式のふた103を変更し、超音波槽114をも内部に収容するような容器にした点である。これにより、エッチング処理槽101、オーバーフロー槽102を薄い壁部材で構成しても、圧力差による変形が少なくなる。

【0024】超音波を印加するにあたりエッチング槽101の壁や底はできるだけ薄くしなければならない。一方、超音波槽114はその厚さに特別な制限はない。

【0025】超音波槽114と密閉容器103を兼用させ、一体化させて、密閉容器103の底面に超音波振動子115を設置し、水116をためても同様の装置となり得る。

【0026】気泡化する気体は、例えばSiF₄、H₂、NH₃のように化学反応において発生する反応副生物からなる場合と、エッチング液に元々溶解している気体成分を含む場合がある。後者の場合には、エッチング工程前に予め脱気して元々エッチング液に溶解している気体を除去しておくことが望ましい。気泡化したガスとしてはSiF₄、H₂、NH₃、O₂、N₂等が挙げられる。

【0027】そして減圧手段210、211により脱離した基体を排気除去する。

【0028】多孔質Siの選択エッチングには、半導体プロセス上、以下に示すようなエッチング液が好ましい。すなわち、エッチング液はふつ酸、ふつ酸と界面活性剤との混合液、ふつ酸と界面活性剤との混合液、ふつ酸と過酸化水素水との混合液、ふつ酸と硝酸と界面活性剤との混合液、ふつ酸と過酸化水素水と界面活性剤等のふつ酸系反応液である。

【0029】界面活性剤は、例えば、メタノール、エタノール、イソアパノールが挙げられる。界面活性剤を微量添加すれば、減圧時の圧力をそれ程低くせずにすむ。

【0030】又エッチング液中には、PHを調整し、エッチング速度の変動を抑える為に、緩衝剤を添加することが好ましい。緩衝剤は、例えば、弗化アンモニウムが挙げられる。

【0031】又エッチング液は、エッチング槽外部に循環させ、反応生成物をエッチングに作用しない領域へ効率よく排除することができる。そして、エッチング液の流れを生ぜしめ、気泡の脱離を促進する。

【0032】又、エッチング液の温度の揺らぎを±0.5°C以内に制御することによって、更にエッチングの均一性や再現性を向上できる。

【0033】エッチング液の温度の揺らぎは、
・面内のエッチングばらつき
・基板間のエッチング時間ばらつき
につながる。市販の温調器により±0.5°Cは十分調整できる範囲内である。

【0034】本実施の形態によれば、多孔質体に付着し

THIS PAGE BLANK (USPTO)

ている気泡を体積膨張させて速やかに除去できるため、エッチング速度の劣化がなくなり、又、均一性の劣化もなくなる。

【0035】又、超音波は気泡の脱離とエッチング液の孔内浸入を促進する為の補助的な使用を目的とするものであったが、気泡が速やかに除去されるので、超音波の伝達効率が向上し、超音波を有効にウエハに印加できるようになる。又、同じ効力を低パワーの超音波で得ることができるので、超音波振動子の寿命を延ばしたり、あるいは超音波振動子自体の規模を小さくできる。

【0036】(実施形態1) 図1、図2に示すエッチング装置を用いた多孔質体のエッチング工程を含む半導体基体の作製方法について述べる。

【0037】図3は、本実施形態の半導体基体の作製工程を示す模式的断面図である。

【0038】まず、出発物質として単結晶基板401を用意して、主表面層に多孔質層402を形成する(図3(a))。多孔質層402の表面に少なくとも1層の非多孔質層403を形成する(図3(b))。非多孔質層403は、単結晶Si、多結晶Si、非晶質Si、あるいは、金属膜、化合物半導体薄膜、超電導薄膜などの中から任意に選ばれる。あるいは、その中にMOSFET等の為の素子構造を形成してしまっても構わない。さらに、最表面に絶縁膜404を形成しておいた方が、貼合せ界面の界面準位を活性層から離すことが出来るという意味でもよい。こうして、第1の基体を用意する。

【0039】図3(c)に示すように、別に用意した第2の基体としての基板405と第1の基体の表面とを室温で密着させる。その後、陽極接合、加圧、熱処理、のうち少なくともいずれか1つの方法により貼合せを強固にしてもよい。

【0040】非多孔質層403として単結晶Siを堆積した場合には、単結晶Siの表面には熱酸化等の方法で酸化シリコンを形成したのち貼り合わせることが好ましい。また、第2の基板は、Si、Si基板上に酸化シリコン膜を形成したもの、石英等の光透過性基板、サファイア、金属、樹脂などから選択することができるが、これに限定されるものではない。図3は絶縁膜404を介して貼り合わせた様子を示してあるが、絶縁膜404はなくてもよい。

【0041】貼り合わせに際して絶縁性の薄板を第1及び第2の基体の間にはさみ3枚重ねて貼り合わせることも可能である。

【0042】その後、多孔質層を境にして第1の基板401の裏面側部分を第2の基板上から除去する(図3(d))。除去方法は、研削、研磨あるいはエッチングの少なくともいずれか1つを用いた除去方法と、多孔質層及び/又はその界面を境に貼り合わせ基体を分割する方法がある。

【0043】次に、表出した多孔質層402を選択的に

エッチングして除去する。そのため、多孔質層402が表出した第2の基板を多孔質層のエッチング液の入ったエッチング槽に入れる。ウエハは完全にエッチング液中に沈める。超音波を印加し、多孔質層をエッチングする。この時例えば、図1、2に示したようなエッチング装置でエッチングを行う。

【0044】エッチング中、多孔質層表面に生じた気泡は直ちに体積膨張し脱離するので、エッチングは効率よく、均一に行われる。

【0045】多孔質層402のみを選択的にエッチングして第2の基体上に予め第1の基体の非多孔質層403を残存させる。多孔質層の膨大な表面積による通常のSiのエッチング液でも選択的に多孔質Siのみをエッチングすることが可能である。

【0046】GaAs、InP、SiGe等の化合物半導体層を多孔質Si上に形成している場合には化合物半導体に対してSiのエッチング速度の速いエッチング液を用いて、多孔質Siのみを化学エッチングして第2の基板405上に薄膜化した単結晶化合物半導体層403を残存させ形成することができる。

【0047】図3(e)には、本発明で得られる半導体基体が示されている。第2の基板405上の絶縁膜404に非多孔質薄膜、例えば単結晶Si薄膜403が平坦に、しかも均一に薄層化されて、ウエハ全域に、大面積に形成される。第2の基板405として石英などの絶縁性基板を用いれば、絶縁膜404は不要である。

【0048】(実施形態2) 図4に示すように、本実施の形態では貼り合せた基体を、多孔質層402中、又はその界面で分離する。

【0049】分離方法は、加圧力、引っ張り力、せん断力等の外力を加える方法、具体的には楔を貼り合わせ基体の端部に挿入する方法である。

【0050】あるいは、ウォータージェット等のような高圧の液体流又は、気体流を貼り合わせ基体の端部に吹き付けて機械的強度の弱い多孔質層を破断させる方法であってもよい。

【0051】更には、多孔質層のエッジ部を酸化させて、中央の多孔質層を破断させたり、波動エネルギーを印加して多孔質層を破断させたり、貼り合わせ基体を加熱して孔(気泡)を増大させることで多孔質層を破断させることも好ましいものである。

【0052】この分離によって、表出すべき非多孔質層403上に多孔質層が残留している場合には、実施形態1と同様に図1、2のエッチング装置を用いて多孔質層402をエッチング除去する。

【0053】又、第1の基板401側に、残留多孔質層402が存在する場合には図1、2の装置を用いてそれをエッチング除去する(図4(e))。

【0054】さらに表面平滑性が許容できないほど荒れている場合には、研磨又は水素含有還元性雰囲気中で8

THIS PAGE BLANK (USPTO)

00°C以上で熱処理(水素アニール)すれば表面が平滑化され再使用できるようになる。再使用先は、第1の基板、第2の基板、あるいは、他の目的の基板が可能である。

【0055】(実施形態3)図3および図4の(b)の構造を形成する方法として上記の他に以下のような大別して3つの方法がある。

【0056】1つの方法は、第1の基板の表面を酸化して、その後、表面には単結晶Si層が残存する様な注入条件で、H⁺、あるいはHe⁺、Ne⁺、Ar⁺、Kr⁺、Xe⁺、N⁺のような不活性ガスをイオン注入し、内部に多数の気泡を含む気泡層を形成する方法である。

【0057】別の方針として第1の基板にまずエピタキシャル層を形成し、その後その表面を酸化して、それから表面には単結晶Si層が残存する様な注入条件で、上記H⁺、あるいは不活性ガスをイオン注入し、内部に気泡を含む層(多孔質層)を形成する。表面に残存する単結晶Si層は、初めに形成したエピタキシャル膜である。

【0058】もう1つの方法として第1の基板の表面を酸化して、その後、表面には単結晶Si層が残存する様な注入条件で、H⁺、あるいは不活性ガスをイオン注入し、内部に気泡層(多孔質層)を形成する。その後表面酸化膜を除去してから、低温でエピタキシャル層を形成する。再び、表面に酸化膜を形成する。

【0059】そして、気泡層を含む第1の基体を第2の基体に貼り合わせ、分離した後、残留気泡層を図1、図2の装置を用いてエッチング除去する。

【0060】貼り合わせ方法や分離方法は上述した方法をそのまま適用できる。

【0061】又、エッチング後に表われた面は、水素含有還元性雰囲気中での熱処理又は研磨により平滑化される。

【0062】分離された第1の基板は、上記エッチング及び上記平滑化により再利用可能なウエハとなる。

【0063】

【実施例】(実施例1)P型の単結晶Siからなる第1の基板の表面層をHF溶液中において陽極化成を行った。

【0064】陽極化成条件は以下の通りであった。

【0065】電流密度: 7 (mA·cm⁻²)

陽極化成溶液: HF : H₂O : C₂H₅OH = 1 : 1 : 1

時間: 11 (min)

多孔質Siの厚み: 12 (μm)

【0066】この基板を酸素雰囲気中400°Cで1時間酸化した。この酸化により多孔質Siの孔の内壁は熱酸化膜で覆われた。多孔質Si上にCVD (Chemical Vapor Deposition)法により単結晶Siを0.30 μm エピタキシャル成長した。成長条件は以下の通りである。

【0067】ソースガス: SiH₂Cl₂/H₂

ガス流量: 0.5 / 180 l/min

ガス圧力: 80 Torr

温度: 950°C

成長速度: 0.3 $\mu\text{m}/\text{min}$

【0068】さらに、このエピタキシャルSi層表面に熱酸化により200nmのSiO₂層を形成した。

【0069】該SiO₂層表面と別に用意したSi基板(第2の基板)の表面とを貼り合わせた。

【0070】その後、第1の基板の裏面側の非多孔質部分を研削及びRIEにより除去して、多孔質Siをウエハ全面に表出させた。

【0071】該多孔質Siが表出したウエハを、図1に示すような装置に、エッチング液中に完全に沈める様にセットして、ふつ酸、過酸化水素水、エタノール、純水の混合液中でエッチング液上部の空間を1.3 × 10⁴ Paに減圧しながら、且つウエハを自転させながら、0.25 MHz付近の超音波を印加して、多孔質Si層をエッチングした。

【0072】これにより、エッチングにより生じた気泡は瞬時に大きくなり多孔質Si層から脱離して多孔質Siを均一に、約0.67 $\mu\text{m}/\text{min}$ 程度のエッチングレートで除去できた。

【0073】ふつ酸、過酸化水素水、純水の混合液は、多孔質Siのエッチング液であるが、減圧下で行うことにより、エッチング速度を増速でき、上記したような多孔質Siの崩壊を面内、ウエハ間で均一に促進でき、±5%以下に均一化できた。

【0074】非多孔質の単結晶Siは、エッチングされずに残り、非多孔質の単結晶Siをエッチ・ストップの材料として、多孔質Siは選択エッチングされ、完全に除去された。

【0075】非多孔質単結晶Siの該エッチング液に対するエッチング速度は、極めて低く、多孔質Si層のエッチング速度との選択比は十の五乗以上にも達し、非多孔質Si層におけるエッチング量(数十オングストローム程度)は実用上無視できる膜厚減少である。

【0076】すなわち、酸化シリコン膜上に0.2 μm の厚みを持った単結晶Si層が形成できた。形成された単結晶Si層の膜厚を面内全面について100点を測定したところ、膜厚の均一性は201 nm ± 4 nmであった。

【0077】さらに水素中で1100°Cで熱処理を1時間施した。表面粗さを原子間力顯微鏡で評価したところ、5 μm 角の領域での平均2乗粗さはおよそ0.2 nmであり、通常市販されているSiウエハと同等であった。

【0078】透過電子顯微鏡による断面観察の結果、Si層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

THIS PAGE BLANK (USPTO)

【0079】酸化膜は、エピタキシャル層表面でなく、第2の基板表面に形成しても、あるいは、その両者に形成しても同様の結果が得られた。

【0080】また、第2の基板として石英等の光透過性ウエハを用いても、本実施例は、同様に実施できた。ただし、石英とSi層との熱膨張係数の差により単結晶Si層にスリップがはいるため、水素中1100°Cでの熱処理は、温度を1000°C以下に下げて行った。

【0081】エッチングの際に減圧せず大気圧のまま行った場合は、エッチングレートが4分の3程度に低下し均一性も低かった。

【0082】(実施例2) 第1の単結晶Si基板の表面層をHF溶液中において陽極化成を行った。

【0083】陽極化成条件は以下の通りであった。

【0084】電流密度: 7 (mA・cm⁻²)

陽極化成溶液: HF : H₂O : C₂H₅OH = 1 : 1 : 1

時間: 5 (min)

第1の多孔質Si層の厚み: 5.5 (μm)

さらに

電流密度: 2.1 (mA・cm⁻²)

陽極化成溶液: HF : H₂O : C₂H₅OH = 1 : 1 : 1

時間: 20 (sec)

第2の多孔質Si層の厚み: 0.5 (μm)

【0085】多孔質の多層構造は、この条件に限られず、厚さ、電流値、多孔度、層数、等、さまざまな条件で可能である。

【0086】この基板を酸素雰囲気中400°Cで1時間酸化した。この酸化により多孔質Siの孔の内壁は熱酸化膜で覆われた。多孔質Si上にCVD法により単結晶Siを0.15 μmエピタキシャル成長した。成長条件は以下の通りである。

【0087】ソースガス: SiH₂C_{1.2}/H₂

ガス流量: 0.5 / 180 l/min

ガス圧力: 80 Torr

温度: 950°C

成長速度: 0.3 μm/min

【0088】さらに、このエピタキシャルSi層表面に熱酸化により100 nmのSiO₂層を形成した。

【0089】該SiO₂層表面と別に用意したSi基板(第2の基板)の表面とを貼り合わせた。

【0090】その後、多孔質Si層を介して貼り合わせウエハの側面にウォータージェットを吹き付けて貼り合わせ基板を2分割し、第2の基板側に、多孔質Siを全面に表出させた。この条件では、多孔質層の形成時に電流を変えた境界で分離された。多孔質の形成条件により、分離位置は変わる。

【0091】分離後第2の基板上に移設された単結晶Si層上には多孔質Si層が一部残留していたので該多孔質Siが表出した基板を、図1に示すような装置にセットした。ふつ酸、過酸化水素水、エタノール、純水の混

合液中に完全に基板を沈めてエッチング液上方の空間を1.3 × 10³ Paに減圧しながら、且つウエハを自転させながら、0.25 MHz付近の超音波を印加して、ウエハ表面の多孔質Siをエッチングした。これにより、エッチングにより発生した気泡は瞬時に巨大化し多孔質Siから脱離し多孔質Si層を均一に除去できた。

【0092】ふつ酸、過酸化水素水、純水の混合液は、多孔質Siのエッチング液であるが、減圧下で行うことにより、エッチング速度を増速でき、上記したような多孔質Siの崩壊を面内、ウエハ間で均一に促進でき、土5%以下に均一化できた。

【0093】図2の様な装置においても、同様の結果が得られた。

【0094】非多孔質の単結晶Siはエッチングされずに残り、非多孔質の単結晶Siをエッチ・ストップの材料として、多孔質Siは選択エッチングされ、完全に除去された。

【0095】非多孔質単結晶Siの該エッチング液に対するエッチング速度は、極めて低く、多孔質層のエッチング速度との選択比は十の五乗以上にも達し、非多孔質Si層におけるエッチング量(数十オングストローム程度)は実用上無視できる膜厚減少である。

【0096】すなわち、酸化シリコン膜上に0.1 μmの厚みを持った単結晶Si層が形成できた。形成された単結晶Si層の膜厚を面内全面について100点を測定したところ、膜厚の均一性は101 nm ± 3 nmであった。

【0097】さらに水素中で1100°Cで熱処理を1時間施した。表面粗さを原子間力顕微鏡で評価したところ、5 μm角の領域で平均2乗粗さはおよそ0.2 nmであり、通常市販されているSiウエハと同等であった。

【0098】透過電子顕微鏡による断面観察の結果、Si層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【0099】酸化膜は、エピタキシャル層表面でなく、第2の基板表面に形成しても、あるいは、その両者に形成しても同様の結果が得られた。

【0100】また、第2の基板として石英等の光透過性ウエハを用いても、本実施例は、同様に実施できた。ただし、石英とSi層との熱膨張係数の差により単結晶Si層にスリップが入るため、水素中1100°Cでの熱処理は、温度を1000°C以下に下げて行った。

【0101】同時に第1の基板側に残った多孔質Siもその後、本実施例と同様にして選択エッチングした。その後、水素アーチル、あるいは表面研磨等の表面処理を施して再び第1の基板あるいは第2の基板として再利用することができた。

【0102】(実施例3) Siウエハからなる第1の基板の表面を酸化して、その後、内部に気泡層(多孔質

THIS PAGE BLANK (USPTO)

層)が形成すべくH⁺を70keVで5×10¹⁶cm⁻²イオン注入した。

【0103】こうして、第1の基板表面に最表面から、酸化膜層、単結晶Si層、気泡層を形成した後、該SiO₂層表面と別に用意したSiウエハからなる基板(第2の基板)の表面とを貼り合わせた。

【0104】その後、多孔質Si層を介して貼り合わせ基板を500°C以上に加熱して気泡を増大させて2分割し、第2の基板側に、単結晶Si層を移設させた。

【0105】単結晶Si層の表面には気泡層の残留が認められたので基板を図1に示すような装置に液中に完全に沈める様にセットして、ふつ酸、過酸化水素水、エタノール、純水の混合液上部の空間を1.3×10³Paに減圧しながら、且つウエハを自転させながら、0.25MHz付近の超音波を印加して、基板表面の気泡層の残留部をエッティングした。これにより、エッティングにより発生した気泡は瞬時に大きくなって基板表面から脱離し均一にエッティング除去できた。

【0106】ふつ酸、過酸化水素水、エタノール、純水の混合液は、多孔質Siのエッティング液であるが、減圧下で行うことにより、エッティング速度を増速でき、上記したような多孔質Siの崩壊を面内、ウエハ間で均一に促進でき、±5%以下に均一化できた。

【0107】すなわち、酸化シリコン膜上に0.5μmの厚みを持った単結晶Si層が形成できた。形成された単結晶Si層の膜厚を面内全面について100点を測定したところ、膜厚の均一性は505nm±25nmであった。

【0108】さらに水素中で1100°Cで熱処理を1時間施した。表面粗さを原子間力顕微鏡で評価したところ、5μm角の領域での平均2乗粗さはおよそ0.2nmで通常市販されているSiウエハと同等であった。

【0109】透過電子顕微鏡による断面観察の結果、Si層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【0110】酸化膜は、エピタキシャル層表面でなく、第2の基板表面に形成しても、あるいは、その両者に形成しても同様の結果が得られた。

【0111】また、第2の基板として石英等の光透過性ウエハを用いても、本実施例は、同様に実施できた。ただし、石英とSi層との熱膨張係数の差により単結晶Si層にスリップがはいるため、水素中1100°Cでの熱処理は、温度を1000°C以下に下げて行った。

【0112】同時に第1の基板側の残った多孔質Siもその後、本実施例と同様にして選択エッティングする。その後、水素アーチル、あるいは表面研磨等の表面処理を施して再び第1の基板あるいは第2の基板として再利用することができた。

【0113】上記実施例において、多孔質Si上のエピタキシャル成長法は、CVD法の他、MBE法、スパッ

タ法、液相成長法、等多種の方法で実施でき、CVD法に限らない。また、多孔質Si上には、SiGeや、あるいはGaAs, InP等の単結晶化合物半導体もエピタキシャル成長でき、GaAs on Si, GaAs on Glass (Quartz) 等の高周波デバイス、OEICに適した基板を作製することもできる。

【0114】以上説明した各実施例において、多孔質物質としては多孔質Siを取りあげたが、多孔質構造が可能な物質であればSiO₂、GaAs等他の材料であっても本発明を適用することができる。

【0115】

【発明の効果】以上詳述したように、本発明によれば、多孔質体のエッティング中の反応生成気体の気泡を速やかに除去することが可能になり、エッティングの効率化と均一化が可能になる。こうして、半導体基体の製造スループットや製造歩留まりを向上させ、安価に半導体基体を提供できるようになる。

【図面の簡単な説明】

【図1】本発明に用いられるエッティング装置を説明するための模式的断面図である。

【図2】本発明に用いられる別のエッティング装置を説明するための模式的断面図である。

【図3】本発明の一実施の形態による半導体基体の作製方法を説明するための模式的断面図である。

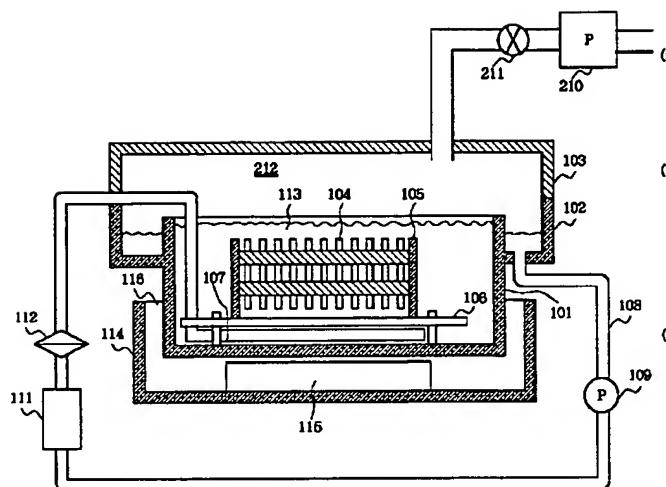
【図4】本発明の別の実施の形態による半導体基体の作製方法を説明するための模式的断面図である。

【符号の説明】

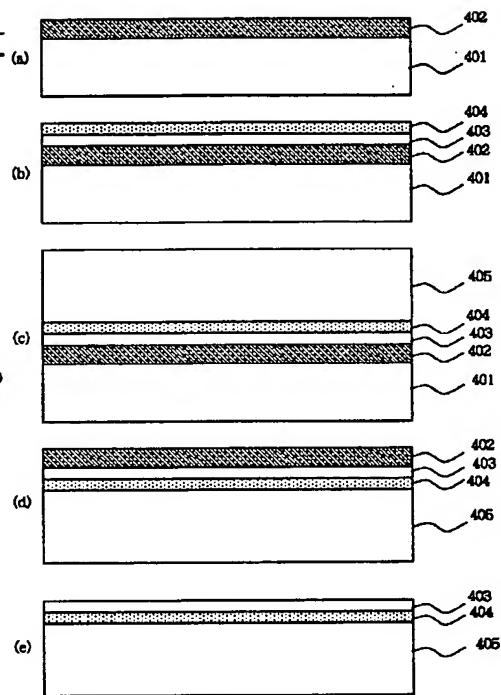
- 101 エッティング槽
- 102 オーバーフロー槽
- 103 密閉のふた(容器)
- 104 多孔質層の表出したウエハ
- 105 ウエハ保持具(キャリア)
- 106 整流板
- 107 循環供給口
- 108 循環ライン
- 109 循環用ポンプ
- 111 冷却器
- 112 薬液フィルター
- 113 エッティング液
- 114 超音波槽
- 115 超音波振動子
- 116 超音波伝達媒体
- 210 真空ポンプ
- 211 バルブ
- 401 第1の基体
- 402 多孔質層
- 403 半導体層
- 404 絶縁膜
- 405 第2の基体

THIS PAGE BLANK (USPTO)

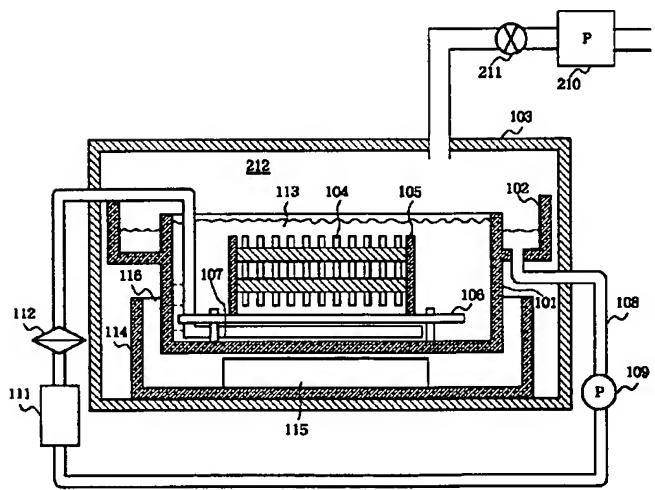
【図1】



【図3】

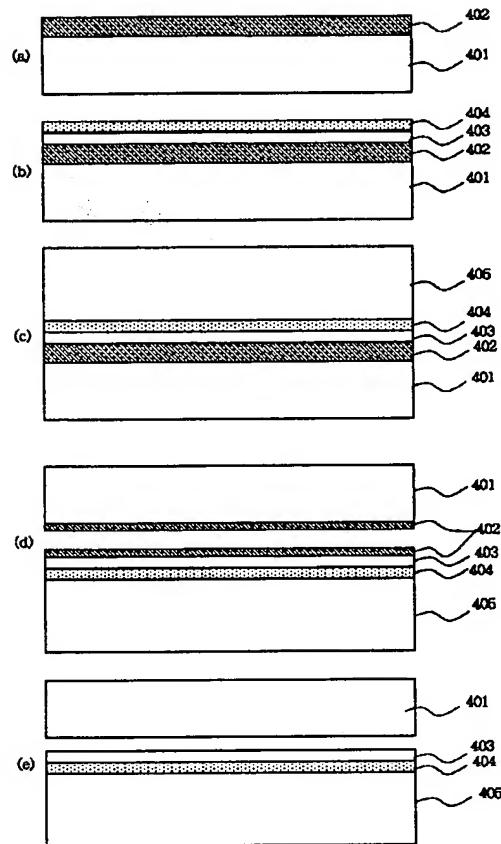


【図2】



THIS PAGE BLANK (USPTO)

【図4】



THIS PAGE BLANK (USPTO)